

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-035775

(43)Date of publication of application : 16.02.1987

(51)Int.Cl.

H04N 1/417

(21)Application number : 60-175306

(71)Applicant : CANON INC

(22)Date of filing : 08.08.1985

(72)Inventor : HISADA KAZUTOSHI  
KOKUBU NOBUSATO  
SAKURAI SHIGEKI  
MURATA YUKIO  
OKANO TATSUO

## (54) DECODING DEVICE FOR IMAGE CODE

### (57)Abstract:

**PURPOSE:** To perform fast decoding operation by outputting information on an image on a line to be referred by a specific number of picture elements at a time in parallel and generating an image signal on the basis of the image and the decision result of an image code.

**CONSTITUTION:** Respective blocks of a circuit are supplied with a common image clock from a control circuit 118 and the decoding operation is performed in synchronism with the image clock at a speed corresponding to intervals (period) of the clock. When the supply of this clock is quit, the decoding operation stops during the stop period. Therefore, the speed of the decoding operation, etc., are controllable by varying the intervals, etc., of the clock supplied to the respective blocks in common. Consequently, this speed, the data processing speeds, etc., of a printer a computer, etc., which receive a decoded image under the stop control, etc., are not limited by the decoding speed.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-35775

⑮ Int.Cl.<sup>4</sup>  
H 04 N 1/417

識別記号 庁内整理番号  
8220-5C

④ 公開 昭和62年(1987)2月16日

審査請求 未請求 発明の数 1 (全17頁)

⑬ 発明の名称 画像コードの復号装置

② 特 願 昭60-175306

② 出 願 昭60(1985)8月8日

⑦ 発 明 者	久 田	加 津 利	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑦ 発 明 者	國 分	信 聡	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑦ 発 明 者	櫻 井	茂 樹	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑦ 発 明 者	村 田	幸 雄	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑦ 発 明 者	岡 野	達 夫	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑦ 出 願 人	キャノン株式会社		東京都大田区下丸子3丁目30番2号	
⑦ 代 理 人	弁理士 丸島 儀一			

明 細 書

1. 発明の名称

画像コードの復号装置

2. 特許請求の範囲

入力する画像コードの復号に際して参照すべきラインの画像の変化点情報及び色情報を所定画素毎に並列に出力する手段と、入力する画像コードを順次判別する手段と、上記判別手段の判別結果と上記出力手段の並列出力との関係を監視する手段と、上記監視手段の出力に基づいて画像信号を形成する手段とを有することを特徴とする画像コードの復号装置。

3. 発明の詳細な説明

(技術分野)

本発明は画像コードの復号装置に関し、特に、モディファイド・リード(MR)符号化やモディファイド・モディファイド・リード(MMR)符号化等の二次元符号化された画像コードを復号する画像コードの復号装置に関するものである。

(従来技術)

ファクシミリ等の画像伝送装置や光ディスク、磁気ディスク等を用いた画像ファイル装置において、画像データを圧縮して取扱うことによりデータ量を減少せしめ伝送或いは蓄積動作の高速化、効率化を計っている。

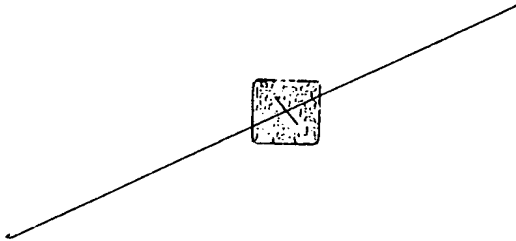
このような画像データの圧縮技術としては、二次元符号化方式(昭和56年郵政省告示第1013号)又は高効率二次元符号化方式(昭和60年郵政省告示第197号)等により示されたMR、MMR等が一般に知られている。

このMR、MMR符号化等の二次元符号化は、前ラインの画像と符号化すべきラインの画像信号との相関関係をコードで表わすものである。従って、二次元符号化された画像コードの復号には既に復号された前ラインの画像信号と入力画像コードとの関係进行を判断する如くの複雑な処理動作が必要であり、これはマイクロコンピュータ等によるソフト的な処理によってなされていた。従って、画像コードの判定に数ステップを要することもあり、次に入力する画像コードの復号が即座に実行

することができず、復号動作が高速に実行できないこともある。

〔目的〕

本発明は以上の点に鑑みてなされたもので、二次元符号化された画像コードを高速に復号することを目的とし、詳しくは、入力する画像コードの復号に際して参照すべきラインの画像の変化点情報及び色情報を所定画素毎に並列に出力する手段と、入力する画像コードを順次判別する手段と、上記判別手段の判別結果と上記出力手段の並列出力との関係を監視する手段と、上記監視手段の出力に基づいて画像信号を形成する手段とを有する画像コードの復号装置を提供することを目的とする。



第1図において102はマルチプレクサ、103はレジスタCであって、マルチプレクサ102及びレジスタC103は連動して、1つのビットシフトを構成している。即ち記憶回路101から並列に読出された16ビットのコードは、マルチプレクサ102を経て、レジスタC103に記憶されているが、このときにシフトコントロール回路108によってマルチプレクサ102の入力と出力との関係を制御することにより、コードデータがシフトコントロール回路108により指定されたビット数だけ順次レジスタC103内を、一方向に移動するように制御される。

104はコード検出ロジック、106はコードテーブルROMであって、コード検出ロジック104及びコードテーブルROM106は、レジスタC103内の所定の位置にあるコードを入力として得て、該コードの内容を判別する回路である。即ち、ROM106は水平(H)モードの場合の入力コードに応じたランレング

〔実施例〕

以下、本発明を図面を用いて詳細に説明する。

第1図は本発明の実施例のデコード回路のブロック図である。第1図により動作の概要を説明する。尚本例ではMMR符号化された画像コードの復号を例に説明するが、MR符号化等他の二次元符号化にも適用することができる。

101は記憶回路であり、デコードすべき画像の符号(以下、コードという)が記憶されており、記憶回路101のデータ記憶形式は第2図(A)に示すように、例えば通信回線から直列に受信した一連のコードを、第2図(B)に示す如く6ビット単位の並列データに分割して記憶したものであり、各コードの区切りには開知しない。この記憶回路101はRAM(ランダムアクセスメモリ)やラッチ回路により構成しうるものである。

記憶回路101は外部からの要求信号201に応じて、順次並列出力データB0～B15を更新できる構造である。

ス及びコード長(=ビット数)等を記憶したテーブルを有し、このテーブルをアクセスすることにより対応したデータを出力する。そして、ROM106より出力されたランレングスの数値はランレングスカウント回路107に入力される。

ランレングス・カウント回路107はROM106よりの数値分だけカウントをした時、カウント終了パルスを出し画像再生回路110等へ送る。

一方ROM106の出力のうちコード長をシフトコントロール回路108に送る。シフトコントロール回路108はマルチプレクサ102を動作し、今判別したコード長のビット数だけレジスタC103内のコード・データを移動させる。即ち判断済みのコードをレジスタC103より排出し、続く次のコードを106ROM等が判断可能のようにレジスタC103の所定位置まで移動させるわけである。この際、シフトコントロール回路108はマルチプ

レクサ102に対して指定したコードの移動量を積算しており、積算値が16ビット分のシフトに相当する値となる毎に記憶回路101から新しいコードを16ビット並列にマルチプレクサ102を介してレジスタC103へ追加させる。又コード検出ロジック104はレジスタC103内のコードが後述の如くの特定のコードである時、検出機能を発揮し、検出結果をPV照合回路105等に報知する。又、同時にコード検出ロジック104により検出した特定コードのコード長はシフトコントロール回路108にも送られる。この時シフトコントロール回路108の役割は前述の場合と同じである。

112, 113はラインバッファメモリA, Bであり、バッファメモリA112及びバッファメモリB113は各々画像1ライン分の画像データを記憶できる容量のメモリでRAM等により構成されている。アドレスカウンタA111及びアドレスカウンタB117はバッファメモリA112とバッファメモリB113の

0~B15)が第3図示のマルチプレクサB1021を経てシフトレジスタC103内へ移動する。続いてレジスタC103の出力をマルチプレクサA1022を介してレジスタC103に入力する。そして、コード先頭のビットがレジスタC103のC0の出力となった時一旦停止する。この状態がデコード開始準備完了の状態である。

以上のコード・データの移動の制御は第1図示のシフトコントロール回路108からの信号 $\Sigma 1 \sim \Sigma 4$ 、CR、ST1~ST8コード検出ロジック104の信号S0~S3に従って行う。又、第3図のマルチプレクサ102、レジスタC103によるビットシフトは1ビット毎のシリアルシフト及び1~9ビットの複数ビットを一度にシフトするジャンプ・シフトを行う機能を有するものである。又、レジスタC103は本実施例では31ビットのパラレルインーパラレルアウトのレジスタである。又、シフトの方向は第3図に矢印で示す一方向のみで

各々の書込み又は読み出しアドレスを指定するカウンタである。又バッファメモリA112とバッファメモリB113は一方が書込みモードの時、他方が読出しモードとなるようダブルバッファ構造となっている。又バッファメモリA112及びバッファメモリB113は二次元符号化法によるコードをデコードする為のリファレンスラインの画像を記憶する為のものである。118は第1図示の各回路ブロックの動作を制御する制御信号を発生する制御回路であって、各回路ブロックは制御回路118から発生されたクロックを共通のタイミング信号として各部間の同期を取りつつ動作する。

次に第1図示の回路ブロック図の各部の機能を具体的に述べる。マルチプレクサ102及びレジスタC103は前述のようにビットシフトを構成しており、その構成例を第3図に示す。即ち、第2図(B)の如く記憶回路101に記憶されているコード・データはデコード開始に先立ち、まず先頭の1ワード=16ビット(B

ある。又、レジスタC103内に示したコードは第2図(b)の記憶回路101内のコードが前述したレジスタC103内のデコード開始準備完了位置にある状態を例示したものである。

次に第1図示のコード・テーブルROM106の構成を第4図に示す。第4図401及び402は各々13ビットのアドレス入力(A0~A12)及び1ビットもチップイネーブル入力( $\overline{CE}$ )及び12ビットのデータ出力(O1~O12)をもつ通常のROM(リード・オンリー・メモリ)である。ROMA401は白のコードに対するテーブル、ROMB402は黒のコードに関するテーブルであり、チップイネーブル入力 $\overline{CE}$ への信号によりいずれか一方が選択される。

ROMA401とROMB402の構成は同様であるのでROMA401の記憶内容について述べる。ROMA401のアドレス入力のMSB=A12には、第3図示のレジスタC103のC3出力信号が入力される。そして、

続くアドレス入力A11~A0には、第4図示の順にレジスタC103のC3~C15出力が並列入力されている。又、ROMA401のE入力にはコードの黒/白の色信号(B/W)が入力される。又C3出力はHモードを構成するHモードコード(001)以外の各コードのMSBビットである。ROMA401に入力されたコードによって指定された番地から該コードのランレングス(RL5~RL0)及びコード長(CL4~CL0)及び該コードがメイクアップコードかターミネーティングコードかを区別する信号(M/T)を並列出力する。尚、レジスタC103のC3~C15出力によりランレングスコードを判定するので水平モードを示す3ビットのHコードをレジスタから排出することなく、続く、ランレングスコードを判定でき、復号の高速化が達成できる。

第4図の入力例は白ラン18のコード(0100111)が入力された時の出力でランレングスは18であるが2進数で2の補数の形(1

01110)で出力される。ランレングスは本来12ビット表現できるものであるが、ターミネーティングコードの場合は、下位6ビットのみ出力し、上位6ビットは常にオール1なので出力しない。又、与えられたコードがメイクアップコードの場合は上位6ビットのみを出力し、下位6ビットは常にオール0なので出力しない。又、第4図示の入力例では白ラン18のコードのコード長は7なので、出力例はCL4~CL0に(00111)の2進数が出力されている。同時にM/T出力は0を出力し、入力コードがターミネーティングコードであることを示す(M/T=1ならメイクアップコード)。

又、アドレス入力に対してコードが短い為に入力のないアドレスはDon't CareとなるようにROMA401には各コード入力に対して番地割付けを行なって記憶内容を書き込んである。使用コードの相互間には以上のようにDon't Careとしても混同されないように規定されている。

次に第1図示のコード検出ロジック104の具体的回路の構造を第5図に示す。即ち、第5図は第1表及び第2表に示す各コードをナンド回路510、オア回路511、反転回路512の組合せにより論理的に検出し各コードの検出済信号及び検出コードのコード長(S0~S4)及びランレングス(RL0~RL5)等を入力する。501で示すJCD信号は第5図のロジックにより第1表及び第2表のコードが検出されたことを示す。レジスタC103のデータは第4図示のROM及び第5図示のロジックに並行して与えられるので、両方から復号データが出力されることがある。この様な場合のために、第5図示のロジックにてコード検出された場合にはJCD信号にて第4図ROMの出力を無効とする。

第5図は第1表及び第2表のコードのうち、Pコード(0001)、VL(1)コード(010)、W4コード(1011)の検出を例示しているが、他のコードも同様に検出され

る。尚、第1表、第2表に示したコード群は各コード長がそのコードが示すランレングスと等しいか長い場合等、コードから画像データを形成するに要する<sup>7</sup>ロジック数で1ビットずつシフトしたのでは次のコードの頭出しが次の画像出力時迄にできないコードである。

第1表、第2表に於いて、第1表のグループ1の各コードは該コードのMSBビットが第3図示のレジスタC103のC0にあるときを検出すべき所定位置とする。又、第2表のグループ2の各コードは該コードのMSBビットがレジスタC103のC3にあるときを所定位置とする。なお、第1表及び第2表に示した各コードをまとめて“ジャンプコード”と称する事とする。尚、ジャンプコードとしてはこれ以外のコードを含んでもよいことは言う迄もない。

次に、第1図示のランレングス・カウント回路107の具体的な回路を第6図に示す。

第6図において、601はデマルチプレクサであり、第4図示のコードテーブルROMの出

力であるRL5～RL0のランレングス信号(2の補数)をランレンフス・カウンタ602へのロード(プリセット)データとして入力する。この際第4図示のROMからの出力ランレングス(RL5～RL0)は前述の如く6ビットのみであり、入力コードがメイクアップコードであるかタミネーティングコードであるかにより、ランレングス信号の下位又は上位の6ビットにはマルチプレクサ601内から1が補完される。マルチプレクサ601への入力M/T信号は入力したランレングス信号RL5～RL0を出力Y1に出すかY2に出すかのセレクト信号となる。ランレングスカウンタ602は12ビットの2進カウンタである。606に示すLOAD信号でランレングスカウンタ602の初期値のプリセット(マルチプレクサ601の出力のロード)を済ませたあと605で示すCNTEN信号によりカウンタがイネーブルとなるとランレングスカウンタ602は順次カウント・アップしてゆく。そしてついに該カウンタ出力(Q0～Q11)がオール1、即ち<-1>値になるとゲート603の出力が0となり、反転回路607よりカウント終了パルスHCRO604が出力されカウント動作も停止する。

次に第7図に於いて、第1図示のアドレスカウンタA111、アドレスカウンタB117の制御によりラインバッファメモリA112、ラインバッファメモリB113より読出された画像信号の処理について説明する。第7図において114は画像変換回路であり、セクタ1141、仮想変化点発生回路1142、変化点検出回路1143より構成される。セクタ回路1141を第8図に示す。第8図において801はアンド回路、802はオア回路、803は反転回路であり、ラインバッファメモリA112の読出しデータ901とラインバッファメモリB113の読み出しデータ902を画像1ライン毎に切り換え信号903によりリファレンス画像信号904として選択する回路

である。

次に、仮想変化点発生回路1142を第9図に示す。即ち、第9図に於いて804はアンド回路、805は反転回路、806はオア回路、807はフリップフロップであり、セクタ1141から入力される各リファレンスの最終画素位置を示す信号905により各リファレンス・ライン画像信号904の最後の画素の色をフリップフロップ807にラッチし、その次の画素(仮想画素)の色を相反する色として必ず変化点となるように各ラインの有効区間を示す水平同期信号906の立下がりによりフリップフロップ807のQ出力を選択する回路である。

次に変化点検出回路1143を第10図に示す。即ち第10図において、1001はフリップフロップ、1002は排他的オア回路、1003は反転回路である。図示するように仮想変化点発生回路1142の出力907はフリップフロップ1001と排他的オア回路1002に

入力され、フリップフロップ1001のQ出力と入力信号907の排他的論理和を排他的オア回路1002によって取ることにより、相隣る画素の色の変化を検出し、変化点検出信号909を出力する回路である。

次に第7図に於いて、第1図示のアドレスカウンタA111、アドレスカウンタB117の制御によりラインバッファメモリA112、ラインバッファメモリB113より読出された画像信号の処理について説明する。第7図において114は画像変換回路であり、セクタ1141、仮想変化点発生回路1142、変化点検出回路1143より構成される。セクタ回路1141を第8図に示す。第8図において801はアンド回路、802はオア回路、803は反転回路であり、ラインバッファメモリA112の読出しデータ901とラインバッファメモリB113の読み出しデータ902を画像1ライン毎に切り換え信号903によりリファレンス画像信号904として選択する回路

入力され、フリップフロップ1001のQ出力と入力信号907の排他的論理和を排他的オア回路1002によって取ることにより、相隣る画素の色の変化を検出し、変化点検出信号909を出力する回路である。

第9図及び第10図に示した回路1142及び1143の動作タイミングチャートを第11図に示す。

第1図において115は4ビットシフトレジスタからなるシフトレジスタAで、第7図の115に回路を示す。

即ち、変化点検出回路1143からS1に入力されたリファレンスライン画像データ908はレジスタA115内をQ1→Q4の方向にクロックにより順次シフトされる。又、該レジスタA115の4ビットの内容は常に910として並列出力されている(C1～C4)。従って、リファレンスラインにおける連続した4画素分の個々の色情報がシフトレジスタA115よりパラレルに出力されることになる。

第1図示のシフトレジスタB116もまた同様に4ビットのシフトレジスタであり、第7図の116に回路を示す。即ち、変化点検出回路1143からS1に入力されたリフアレンスラインの画像変化点信号909をデータとしてレジスタB116内をQ1→Q4の方向にクロックによる順次シフトされる。又該内容は911として常に並列出力されている(B1～B4)。従って、リフアレンスラインにおける連続した4画素中の変化点の有無及びその変化点位置を示す情報がシフトレジスタB116より平行出力される。

次に第1図示のPV照合回路105を第12図に示す。第12図において、1201、703は排他的オア回路、1202、704はアンド回路、1203、705はナンド回路、また、1205は反転回路である。301は8ビットのラッチで第5図示のコード検出ロジック104によりレジスタC103に格納されたコードがPコード又はVコードであることが検

シフトながら記憶している回路である。以上の構成により、シフトレジスタB116のB4出力に続く3画素内に変化点b1がある場合その位置に対応したアンド回路1202の出力が1となり、また、B4出力の前の3画素内に変化点b1がある場合、その位置に対応したシフトレジスタ302の出力1となる。第12図のその他の回路はラッチ301が保持しているP又はVのデコード情報とフリップフロップ303、シフトレジスタ302、アンド回路704等から得られるリフアレンスラインの情報をとを照合する回路であり、条件が合えば701に示すPVHIT又は702に示すVHITの条件合致信号を出力する。例えば、ラッチ301にVR(2)がラッチされた場合にはシフトレジスタ302の出力が1となったとき、また、ラッチ301にVL(2)がラッチされた場合にはアンドゲート1202の出力が1となったときに夫々VHITを出力する。尚、PVHITはVモードのコード及びPコー

出されると、各検出されたコードに対応したビットを“1”とし、他を“0”としたデータを受け取り記憶する。該記憶データはPモード又はVモードのデコード時照合に使用する。第12図の信号B1～B4は第7図示のレジスタB116からの信号911であり、第12図の信号C1～C4は第7図示のレジスタA115からの信号910である。又、第12図a0信号は二次元符号化法という記号a0(以下記号a0という。他の記号も同様)であり、デコード各時点での起点画素の色を示す。

第12図において排他的オア回路703及びアンド回路704は記号b1が第7図示の、シフトレジスタA115のC4の位置にある事を検出する回路であり、第12図示のフリップフロップ303は記号b1が既に上記位置で検出されたことを記憶する回路である。又302は3ビットのシフトレジスタで、前記アンド回路704で検出された記号b1をS1から出力し、その後3クロックの間Q1→Q2→Q3と

Dのデコード終了を示し、このPVHITにより、次のコードのモード判定を実行する。

第1図示のシフトコントロール回路108を第13図に図示する。即ち1301は4ビットの2進フルアダであり、1302は4ビットのラッチである。フルアダ1301とラッチ1302とで4ビットの2進アキュミレータを構成している。フルアダ1301への入力S0～S3信号は第1図コード検出ロジック104又はコード・テーブルROM106から得られる。レジスタC103内のコードの1クロックにおける必要移動量に対応する。なお、ROM106から得る必要移動量は常に1である。

結局フルアダ1301及びラッチ1302によるアキュミレータはレジスタC103内のデータの移動の経過によって生じたレジスタC内の空ビットの数を積算している。又、フルアダ1301の出力CR(キャリー)、Σ1～Σ4は現在フルアダ1301のS0～S3に入力されている移動を実行するとできるレジスタ

C 1 0 3 内の空きビットの数を示す。この時点で C R (= 1 6) が出力されている時には第 1 図示の記憶回路 1 0 1 に更新要求信号 2 0 1 (第 2 図) を出力し新しいデータ (1 6 ビット B 0 ~ B 1 5) を記憶回路 1 0 1 よりレジスタ C 1 0 3 へ追加する。

信号 S 0 ~ S 3 は第 1 表、第 2 表に示した如く 0 ~ 9 (1 0 進) の値を取りうるので、例えばラッチ 1 3 0 2 が 1 5 (1 0 進) を示している時、もし S 0 ~ S 3 が 9 を示すと積算値は  $9 + 1 5 = 2 4$  となる。この時レジスタ C 1 0 3 において 9 ビットジャンプシフトを実行すると 2 4 ビットの空きビットができるので、新しいコードを第 1 図示の記憶回路 1 0 1 から追加するが、レジスタ C 1 0 3 は 3 1 ビット構成であるから、 $3 1 - 2 4 = 7$  ビットの出力 C 0 ~ C 6 (第 3 図 C 9 ~ C 1 5 から移動する) が有効ビットであり、C 7 ~ C 3 0 が空きビット (= 無効コード) である。この際、レジスタ C 1 0 3 内のコードが途切れないように記憶回

ルライン上の記号 b 1 と照合済となった事を示す V H I T 信号 7 0 1 (第 1 2 図) 又は第 6 図示のランレングスカウンタ 6 0 2 がターミネーティングコードの示すランレングス値だけカウントし終えた事を示す H C R O 信号に基づく T E N D 信号 1 4 0 4 により (出力) を反転される。又、フリップフロップ 1 4 0 3 は第 6 図示のランレングスカウンタ 6 0 2 がターミネーティングコードの示すランレングスをカウント中であることを記憶している回路である。即ち、このフリップフロップ 1 4 0 3 も Q 出力により、メイクアップのランレングスカウント終了時の H C R O 信号 6 0 4 ではフリップフロップ 1 4 0 1 は反転せず画像の色も変化しない。また、フリップフロップ 1 4 0 1 は P モードの照合済信号 P V H I T によって反転動作しない。

次に、1 例として、本実施例がデコード結果として、第 1 5 図に示すような画像を再生 (デコード) する場合の、具体的動作説明をする。第 1 5 図の 1 5 0 1 は仮想ラインで実際の

路 1 0 1 により並列に読出された新しいコード (1 6 ビット) はレジスタ C 1 0 3 の C 7 ~ C 2 2 の位置へ追加される。以上の新しく追加するコードの記憶位置の制御は第 1 3 図回路 1 3 0 3 が第 3 図示のマルチプレクサ A 1 0 2 2 に対して信号 S T 1 ~ S T 8 を出力し、マルチプレクサを選択動作せしめることにより行っている。即ちレジスタ C 1 0 3 の C 0 ~ C 1 5 の 1 6 ビットには常に有効コードが存在するように制御されているわけである。

次に第 1 図の画像再生回路 1 1 0 を第 1 4 図に示す。第 1 4 図において、1 4 0 7 はオア回路、1 4 0 8 は反転回路、1 4 0 9 はナンド回路、1 4 1 0 はアンド回路である。即ち、フリップフロップ 1 4 0 1 の Q 出力 = 1 4 0 2 は復号動作の目的であるデコードの結果の画像であり、第 1 図に示すようにレーザビームプリンタの如くのプリンタに送り実際の画像出力を記録紙上に印刷できるものである。又、フリップフロップ 1 4 0 1 は V モードのコードがリフアレ

画像ではない。又 1 5 0 2 は第 1 ライン及び 1 5 0 3 は第 2 ラインを示し、これらは実際の画像であり、本例では各ライン共に 1 6 画素により成っているとす。

又、第 1 5 図示の 1 5 0 4、1 5 0 5、1 5 0 6 の各画素は仮想変化点発生回路 1 1 4 2 (第 7 図) により発生された仮想画素であり、実際の画像ではない。

つまり、本例の第 1 5 図の画像は 2 ラインにより 1 ページを構成しており、又各ラインの画素数は 1 6 画素の画像であるとする。従って第 1 5 図示の画像を符号化した第 1 6 図に示すコード情報を記憶回路 1 0 1 (第 1 図) より得て、第 1 5 図の画像を再生する例を以下説明する。又、デコードに先立ち、符号化方式の規定により、画像ライン毎の画素数は 1 ページ内では一定で既にデコード回路に対し明らかにされている。

第 1 7 図は第 1 ラインのデコード時のリフアレンスライン及び各記号の関係を示す。又、第



18図は第2ラインのデコード時のものである。

また、第19図はデコード動作のタイミングチャートである。第19図のタイミングチャートからも明らかな様に、本デコード動作は1915で示す画像クロックに従って実行される。第19図の120で示すHSYNC信号は第1図プリンタ119等の外部から与えられる。例えば1ライン毎のプリント動作に同期した水平同期信号であり、本実施例の復号化回路は水平同期信号120に同期して1ラインずつデコード動作を行なう。結局、水平同期信号120は1ラインずつのデコード動作開始のトリガー信号として用いられる。

第19図の1901及び1902は夫々第7図示のアドレスカウンタA111、B117のカウンタ動作を許可する信号CNTEN1及びCNTEN2である。

第19図の1903は上述のCNTEN1信号によりカウントを開始するアドレスカウンタA111の出力値を示すもので、このカウント

数により、このクロック数は5以外となる。

第20図に1ライン目(第15図1502)のデコード時に於ける第3図示のレジスタC103内のコードの移動状況を示す。第19図においてHSYNC1信号がデコード開始のトリガとなり、第7図示のバッファメモリAがリード動作を開始する。このときバッファメモリAより読出されるデータはリファレンスラインであるが、符号化方式規定により第1ラインのデコードの為のリファレンスラインとして仮想の全白ラインが読出される(即ち、初期状態でバッファメモリAの内容をクリア(オール0とする)しておく)。

さて、前述したように第3図示のレジスタC103(以下レジスタCと略す)のコードデータはデコード開始準備完了の状態、即ち第20図(A)の状態にあるとする。さて第20図の時刻 $t-1$ に於いてレジスタCの出力C0~C8からHモードコードとW1コードが、第1図示のコード検出ロジック104で同時検出さ

れる。前述のように第7図示のラインバッファメモリA112へのメモリアドレスとして与えられる。また、第19図の1904は出力1903と同様、第7図示のラインバッファメモリ2に対するメモリアドレスを示している。

第19図の908と910そして909と911は第7図示のシフトレジスタAとシフトレジスタBの各々の入出力信号を示しており、図示する該信号の各波形は第15図の画像のものと対応している。

又、第7図示のバッファメモリAとバッファメモリBは、第19図に示すように互いにリード/ライトを交互に実行しており、又、常にリード側が5時刻分ライト側より先行するよう制御されている。これはコードデータの復号動作がリファレンスラインの先頭画素に関する変化点情報及び色情報が第7図示のシフトレジスタB、Aの出力Q4に達して始めて実行できるからである。尚、シフトレジスタのビット数やデコード動作のタイミング合せ用のラッチ等の

数により、これにより水平モードのコード入力であると判断されるときにW1のランレングス値1の2の補数 $<-1>$ が第6図示のランレングスカウンタ602のA~F入力にロードされる。尚、ランレングスカウンタ602のG~Mには夫々1がロードされる。又、この際Hモードの第1のターミネーティングコード(即ち、この場合はW1)が検出済となったことをフリップフロップ等に記憶されておく(第19図1913信号)。又W1のコード長は6で、しかもW1は前述した様にジャンプコードであるから1時刻で6ビットの移動(即ち6ビットジャンプ)をレジスタCに実行する。又、W1はターミネーティング・コードであるから上記ランレングス値のロードと同時に第14図フリップフロップ1403がM/ $\overline{T}$ によりセットされてランレングスカウンタ602にターミネータの値がロードされた事が記憶される(第19図1908)。

結局時刻 $t_0$ でレジスタCは第20図(B)

の状態 ( $t-1$  時刻の状態から6ビットのシフトを実行した状態) となる。又、第14図のTEND信号1404が出力されフリップフロップ1401の出力は反転し(結果は時刻 $t_0$ の1時刻後= $t_1$ )。第19図の1910に示す如く画像の色は白→黒に変わる。

又、時刻 $t_0$ でHCROによるTEND信号により再び第20図(B)状態のレジスタC103C3~C6出力から(この際Hモード中の2番目のターミネーティングコードであるから)B1Hコードを検出する。B1Hコードはランレングス値1(補数= $<-1>$ )、コード長3であり、又B1Hコードはジャンプコードであるからランレングスカウンタ602は再び $<-1>$ をロードされる。このB1Hコードの検出によりHモードのコードの復号が終了し、次のコードの復号を行なう。この場合、次のコードの先頭ビットをレジスタC103のC0出力に位置せしめるべくレジスタC103のデータはB1Hのコード長3にHコードのコー

で第20図(F)となる。

そして、 $t_{11}$ でHCROが出ると第14図のフリップフロップ1401反転すると共に再びレジスタC103からV(0)コードを検出するが、こんどはVモード・コードであるから第12図示のラッチ301のV(0)ビットに“1”をセットする(他は“0”)。又、Hモードではないので第6図のランレングスカウンタ602は作動させない。(結局HCROも出ない)。ラッチ301内のV(0)ビットは第12図で第7図示のシフトレジスタB116の出力の入力されるアンド回路704から記号b1とナンド回路705において照合され、アンド回路704の出力が1レベルとなり、ナンド回路705及びオア回路1202によりVHIT信号を出すまで待ち、第14図のフリップフロップ1401を反転する。結局再生された画像は第19図の1910の如くとなる。この時の再生画像の有効区間は第19図の1914信号で示される。又、1910で示す画像はブ

ド長3を加えた6ビット分のジャンプ移動を行ない第20図(C)の状態となる。結局、時刻 $t_1$ のHCROで第14図示のフリップフロップ1404を反転させる(結果は $t_2$ )。

時刻 $t_1$ では第20図(C)状態のレジスタC103からHモードコード及びW4コードを検出する。以後動作は第20図(A)状態の時と同様である。

次に時刻 $t_5$ で第20図(D)状態のレジスタC103によりB6コードを検出する。B6コードのコード長は4で、ジャンプコードではないので、まず、レジスタC103は時刻 $t_5$ から1ビットずつ4時刻(4クロック)で移動し $t_9$ で第20図(E)の状態となる。又、この時B6はHモード中の2番目のターミネーティングコードとして検出されたのであり、この際には次のコードの先頭をレジスタC103のC0出力に位置させるべくさらに3ビットジャンプを行うよう制御される( $t_9$ で実行し結果は $t_{10}$ で出る)。結局レジスタC103は $t_{10}$

リント119の出力されるとともに次の第2ラインのデコードのためのリファレンスラインとして用いるため並行して書き込み動作を実行しているラインバッファB113へ書き込まれている。又、再生画像は記号a0としても使用される。このようにして画像が再生(デコード)できるわけである。

以上の説明から明らかな様に、本実施例の回路の各ブロックには制御回路118(第1図)より共通の画像クロックが供給され、デコード動作はこの画像クロックに同期して実行され、且つ、クロックの間隔(周期)に応じた速度でデコード動作する。また、このクロックの供給を停止すれば、その停止期間はデコード動作も停止する。従って、デコード回路の各ブロックに共通に供給するクロックの間隔等を変えることによりデコード動作の速度等が制御可能である。

この速度、休止制御によりデコードされた画像を受け入れるプリンタやコンピュータ等の

データ処理速度等がデコード速度に制限されることがない。また逆に、デコード済の画像を処理する後段のプリンタ等の処理速度に合わせたクロックをデコード動作の基準とすると後段の処理速度に適応したデコード動作がなされるので、例えば、処理速度の異なる複数通りのプリンタ等にも共通のデコード回路で対処可能となる。また、後段の処理装置がコンピュータ等の所定量のデータを間欠的に取り込み動作する装置であっても、取り込み期間に合わせてクロックをデコード回路に供給し、その他の期間にはクロックの供給を停止すればデコード動作がコンピュータ等の間欠処理に合わせて実行可能となる。

以上述べたデコード方式により以下の効果を得ることができる。即ち、

- (1) 1ライン間、連続するクロックに同期して、画像を途切れる事なく再生(デコード)できる。又、各ラインも連続的、同期的に再生可能である。該再生画像をレーザープリン

タ等に出力すれば直ちに画像出力を得られる(即ちリアルタイム・デコード)。

- (2) 画像の複雑さの度合、及び圧縮コードのいかんに関せず、常に高速デコードが保証される。(実測では主副走査密度共16pel/25.4mmのA3サイズ画像は常に1.5秒で処理できる。)

- (3) 高速画像出力の場合に対していつも通常行なわれるよにあらかじめ一定量のデコード済画像をメモリ等に用意することなく圧縮コードから直接画像を再生し出力できるのでメモリ等が節約できる。

尚、以上の説明ではリフアレンスラインとの関係を用いた二次元符号化データの復号処理を説明したが、MMR符号化等はもちろんのこと、一次元符号化と二次元符号化の混在するMR符号化等にも適用可能である。尚、デコードすべきデータはコンピュータの出力やフアクシミリ等によって伝送されてきたデータ等を用いることができる。

#### 〔効果〕

以上説明した様に、本発明によると参照すべきラインの画像の情報を所定画素毎に並列出力せしめ、これと画像コードの判別結果に基づき画像信号を形成するので、参照ラインと入力画像コードとの相関が迅速に判断でき、高速な復号動作を達成することが可能となる。

表 1

	コード名	コード								コード長			
		C0	C1	C2	C3	C4	C5	C6		S3	S2	S1	S0
グループ 1	P	0	0	0	1					0	1	0	0
	H	0	0	1						0	0	1	1
	V <sub>R</sub> (3)	0	0	0	0	0	1	1		0	1	1	1
	V <sub>R</sub> (2)	0	0	0	0	1	1			0	1	1	0
	V <sub>R</sub> (1)	0	1	1						0	0	1	1
	V(0)	1								0	0	0	1
	V <sub>L</sub> (1)	0	1	0						0	0	1	1
	V <sub>L</sub> (2)	0	0	0	0	1	0			0	1	1	0
	V <sub>L</sub> (3)	0	0	0	0	0	1	0		0	1	1	1

表 2

	コード名	コード								コード長			
		C3	C4	C5	C6	C7	C8	C9		S3	S2	S1	S0
グループ 2	W1	0	0	0	1	1	1			0	1	1	0
	W1H*	0	0	0	1	1	1			1	0	0	1
	W2	0	1	1	1					0	1	0	0
	W3	1	0	0	0					0	1	0	0
	W4	1	0	1	1					0	1	0	0
	B1	0	1	0						0	0	1	1
	B1H*	0	1	0						0	1	1	0
	B2	1	1							0	0	1	0

(注) \*印はHモード中の2番目のターミネーティング・コードの場合

#### 4. 図面の簡単な説明

第 1 図は本発明を適用したデコード回路のブロック図、第 2 図 (A)、(B) は復号すべきコードを表わす図、第 3 図はビットシフトの構成例を示す図、第 4 図はコードテーブル ROM の構成例を示す図、第 5 図はコード検出ロジックの構成例を示す図、第 6 図はランレングスカウンタ回路の構成例を示す図、第 7 図はリフアレンスラインの画像信号の処理回路の構成例を示す図、第 8 図はセレクト回路の構成例を示す図、第 9 図は仮想変化点検出回路の構成例を示す図、第 10 図は変化点検出回路の構成例を示す図、第 11 図は第 9 図及び第 10 図の動作を示すタイミングチャート図、第 12 図は P V 照合回路の構成例を示す図、第 13 図はシフトコントロール回路の構成例を示す図、第 14 図は画像再生回路の構成例を示す図、第 15 図は復号された画像信号の一例を示す図、第 16 図は復号すべきコード列を示す図、第 17 図及び第 18 図は第 1 ライン、第 2 ラインのデコード動

作を示す図、第 19 図はデコード動作を示すタイミングチャート図、第 20 図はレジスタのシフト動作を示す図であり、

101 は記録回路、

102 はマルチプレクサ、

103 はレジスタ C.

104はコード検出ロジック、

105はPV照合回路、

106はコードテーブルROM.

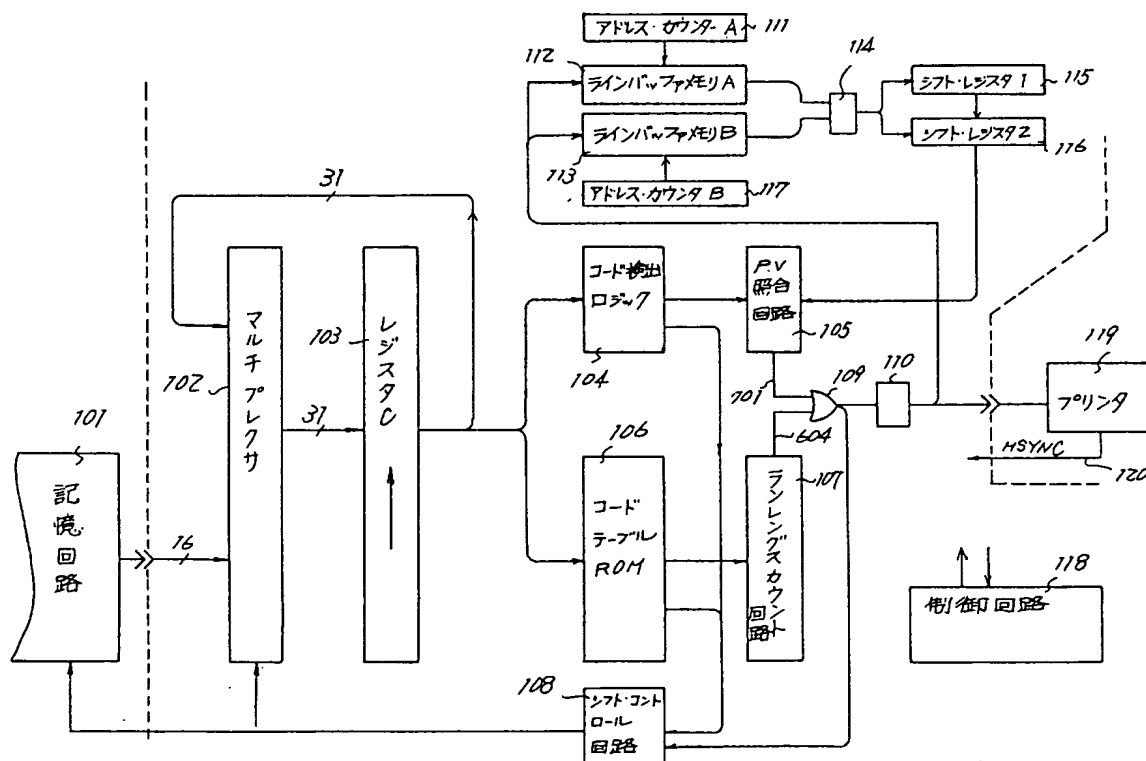
107はランレングスカウント回路。

1 1 2 , 1 1 3 はラインバッファメモリ、

114 は画像変換回路である。

出願人 キヤノン株式会社

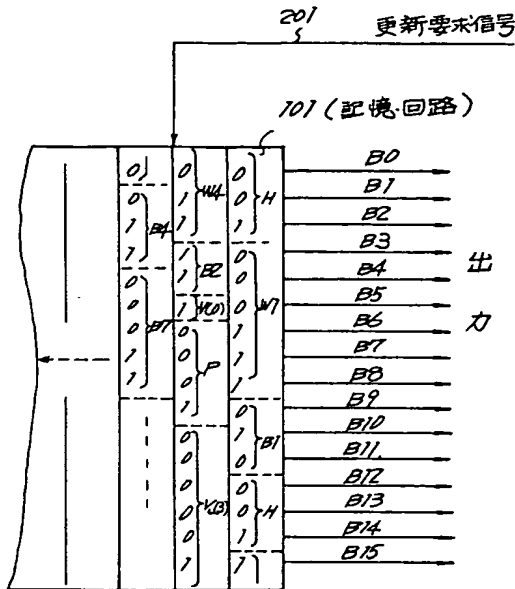
代理人 丸 島 儀 一



第 1 圖

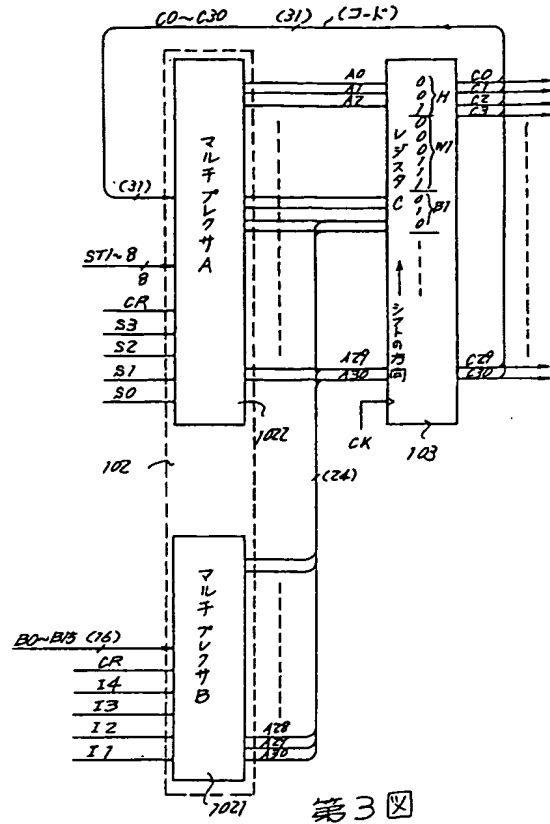
0010001110100011011110001000001001100011  
H W1 B7 H W4 B2 P VL(3) B4 B7  
V(0)

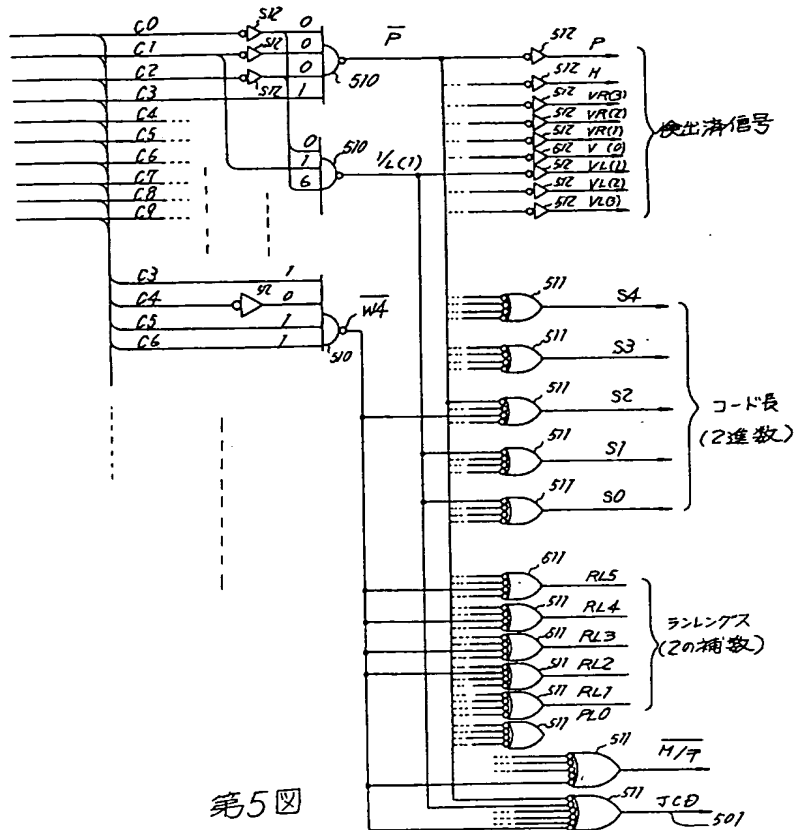
(A)



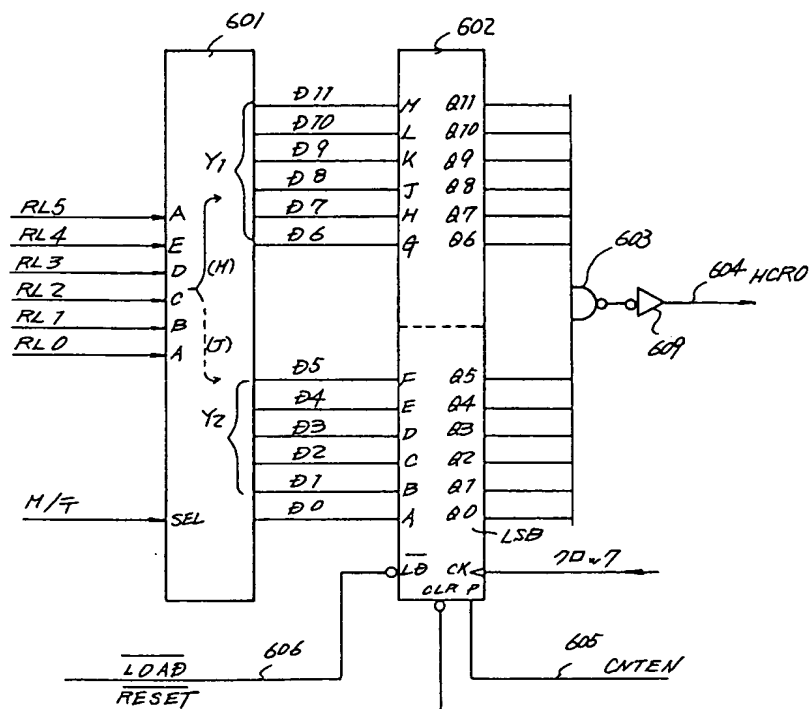
(B)

第2図

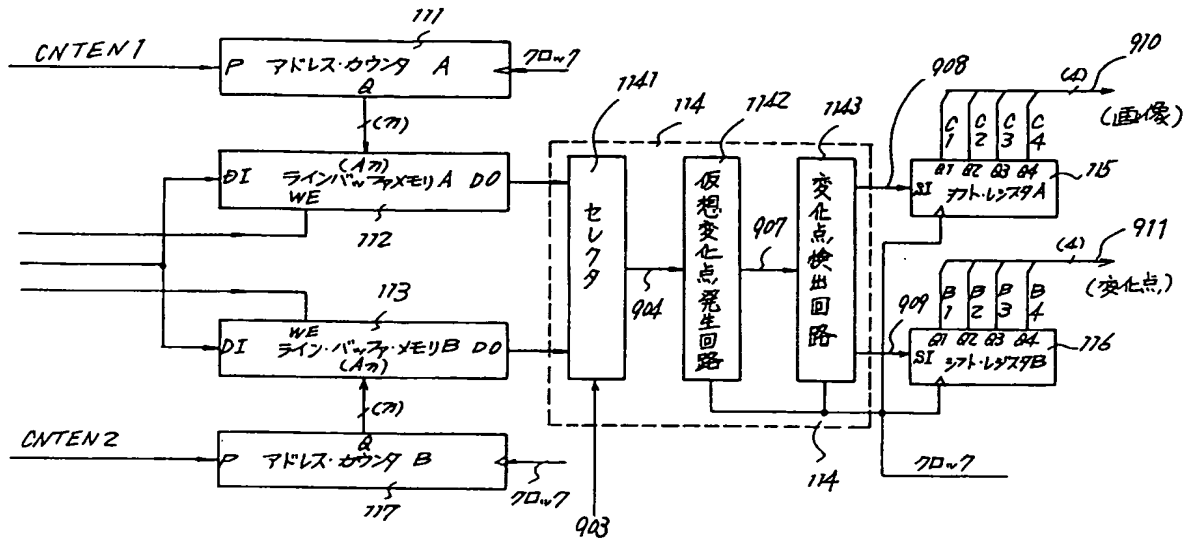




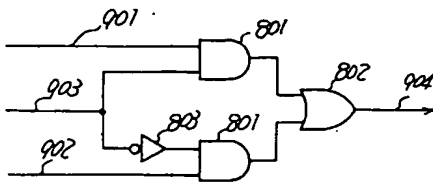
第5図



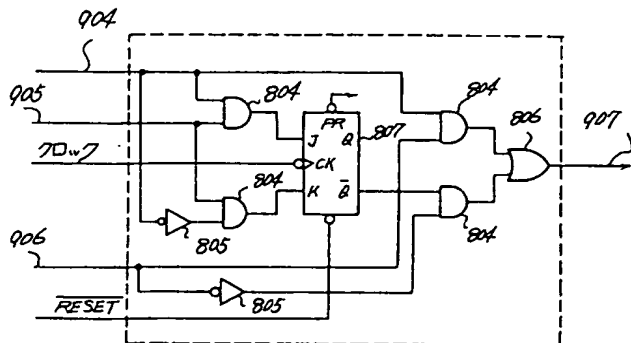
第6図



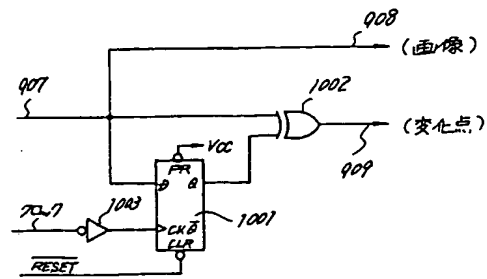
第7図



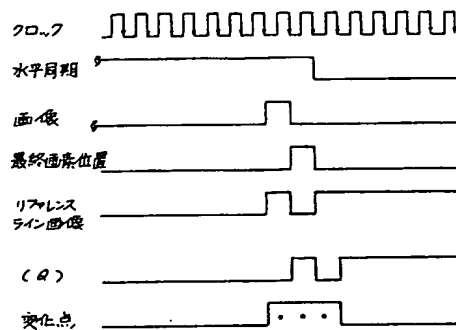
第8図



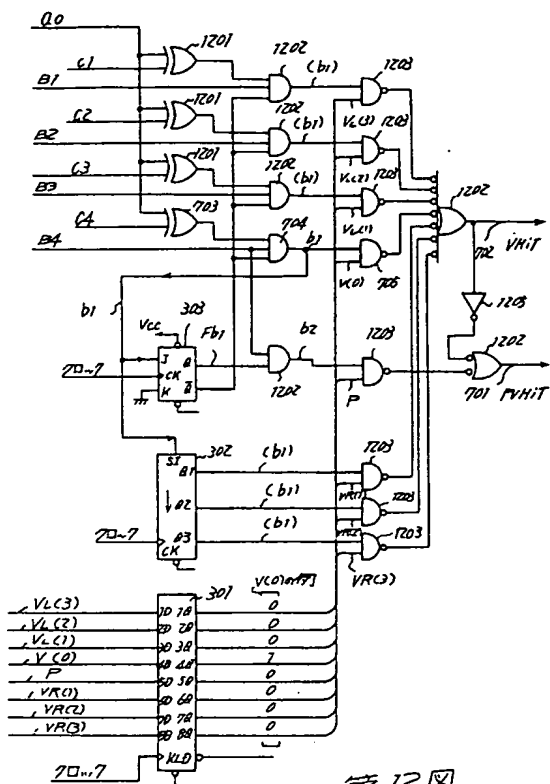
第9図



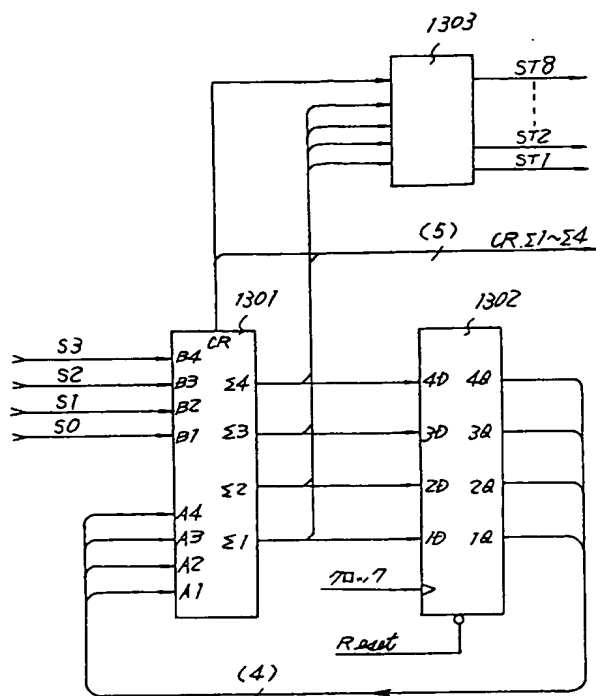
第10図



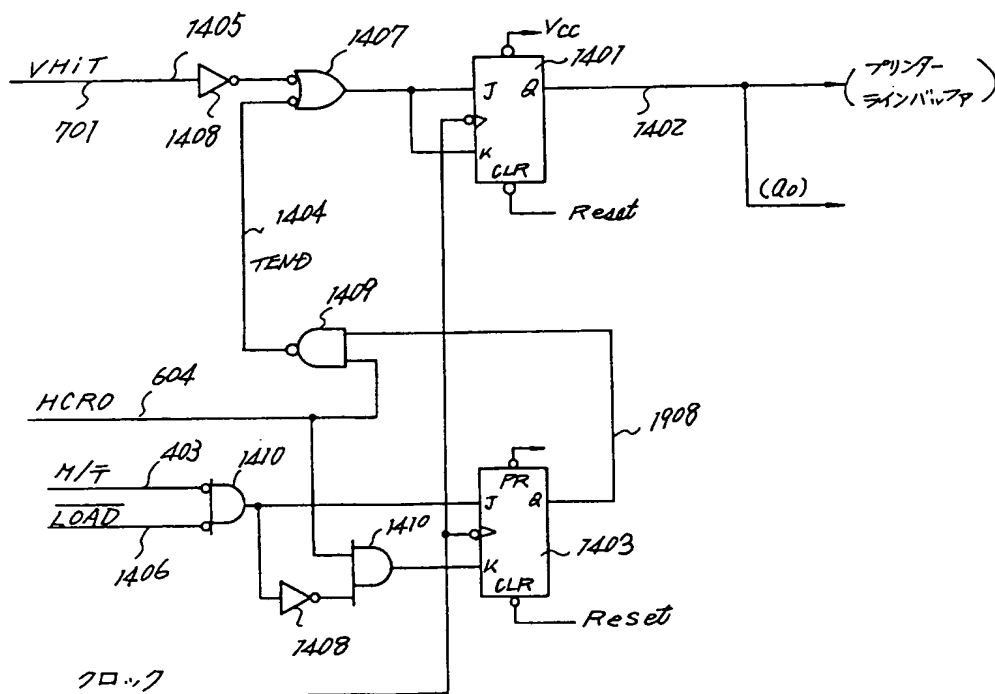
第11図



第12図

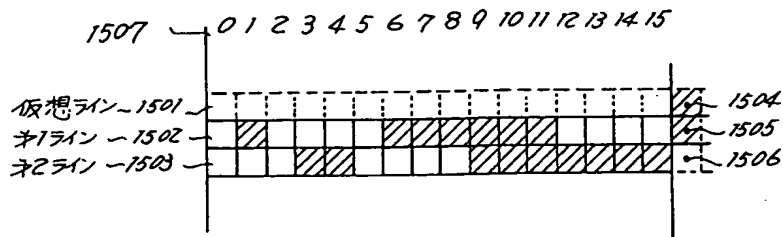


第13図

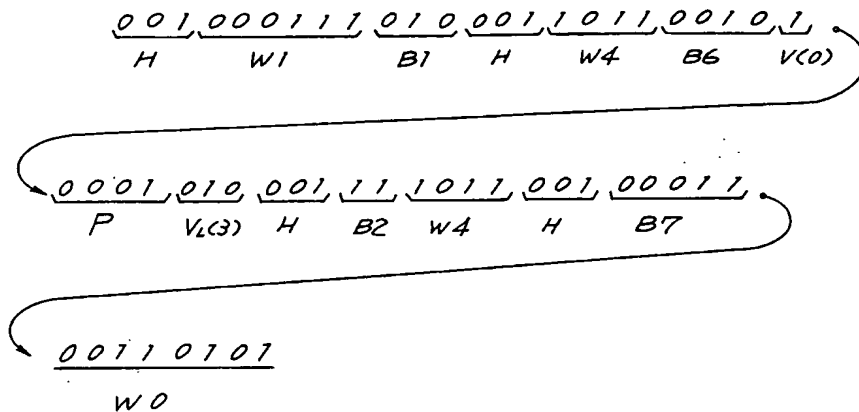


第14図

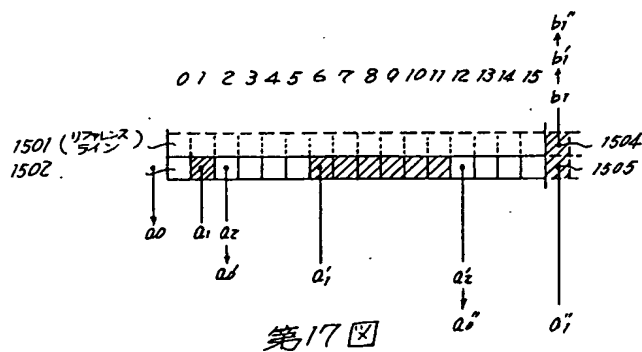




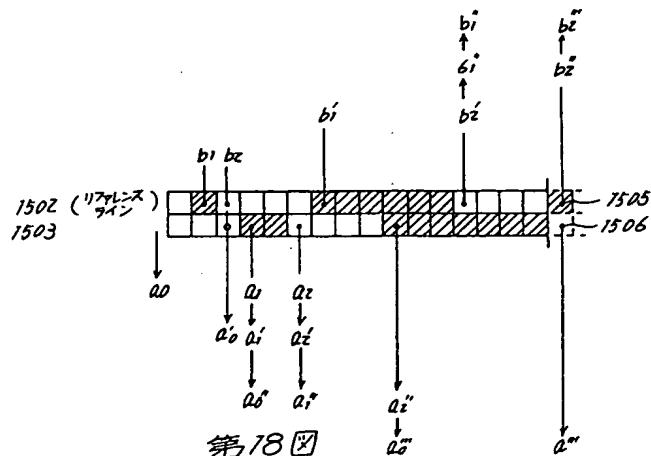
第15図



第16図



第17図



第18図

